

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-105393  
 (43)Date of publication of application : 17.04.1990

(51)Int.CI.

G11C 16/06  
 G11C 17/00  
 G11C 29/00

(21)Application number : 63-258711

(71)Applicant : NEC CORP

(22)Date of filing : 13.10.1988

(72)Inventor : HIKICHI HIROSHI

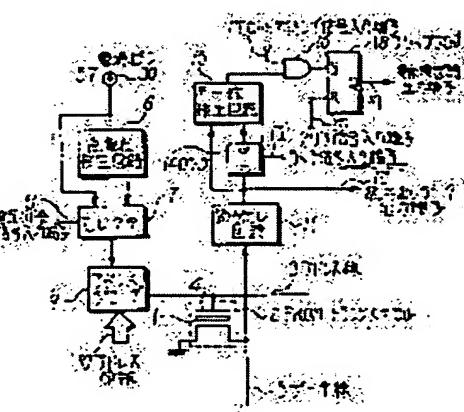
## (54) PROGRAMMABLE READ ONLY MEMORY

### (57)Abstract:

**PURPOSE:** To previously detect the reduction of the electric charge accumulated at a floating gate and to prevent the malfunction of a PROM system by applying a power supply level and a voltage level higher than the power supply level to a control gate and comparing both levels with each other after output of them.

**CONSTITUTION:** An address line 3 is kept at an active level by an address decoder 9 to which the address information 10 is inputted.

When a voltage switch signal input terminal 8 is kept at 'L', a selector 7 selects the power supply voltage 5V and the line 3 is set at 5V. In the case the accumulated electric charge of a PROM is small and the VT is dropped down to 5.5V together with a PROM transistor cell 2 turned off respectively, a reading circuit 11 outputs 'H' to a read data output terminal 12 and latches 'H' to a D latch 14 with the signal of a terminal 13. When the terminal 8 is kept at 'H', 6V is applied to the decoder 9 and the line 3 is set at 6V. Then the cell 2 is turned on and a data line is set at 'L'. The circuit 11 outputs 'L' and a discordance detecting circuit 15 outputs 'H' when the discordance is confirmed between the D latch 14 and the read contents. Then an R-SFF 18 is set synchronously with the set timing signal received from a set timing signal input terminal 17. Thus an abnormality detecting signal output terminal 19 is set at 'H'. Then the terminal 19 is kept at 'L' as long as the accumulated electric charge is sufficient at a floating gate.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑪ 公開特許公報 (A) 平2-105393

⑫ Int. Cl. 5

G 11 C 16/06  
17/00  
29/00

識別記号

厅内整理番号

⑬ 公開 平成2年(1990)4月17日

303 E

7341-5B  
7737-5B  
7341-5B

G 11 C 17/00

309 F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 プログラマブル・リードオンリ・メモリ

⑮ 特 願 昭63-258711

⑯ 出 願 昭63(1988)10月13日

⑰ 発明者 引 地 博 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原晋

## 明細書

## 1. 発明の名称

プログラマブル・リードオンリ・メモリ

## 2. 特許請求の範囲

電荷を蓄積するためのフローティングゲートを有し、制御ゲートがアドレス線に接続され、ソース又はドレインが一電位に、ドレイン又はソースがデータ線に接続されたトランジスタメモリセルを備えたプログラマブル・リードオンリ・メモリにおいて、前記アドレス線の活性レベルとして互いに電圧の異なる第1、第2の電圧を供給しうる電圧供給手段と、前記アドレス線の活性レベルが前記第1の電圧の供給時に前記トランジスタメモリセルから読み出したデータをラッチするラッチ回路と、前記アドレス線の活性レベルが前記第2の電圧の供給時に前記トランジスタメモリセルからの読み出しデータと前記ラッチ回路の出力とを比較する比較回路と、前記比較回路により不一致

が検出された時にセットされるフリップフロップとを備え、前記フリップフロップの出力により、前記フローティングゲートの電荷蓄積量が減少したことを検知せしめるようにしたことを特徴とするプログラマブル・リードオンリ・メモリ。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はプログラマブル・リードオンリ・メモリ(PROM)に係り、特に使用中に記憶情報が破壊されるのを未然に防止できるPROMに関する。

## 〔従来の技術〕

PROMには、紫外線消去型のものや、電気的に消去可能なものなどがあり、第4図に示すように、フローティングゲート1に電荷を蓄えるか否かにより、PROMトランジスタセル2のスレッシュホールド電圧を変動させ、情報として、ハイレベル又はロウレベルを記憶させている。

例えば、フローティングゲート1に負電荷が蓄

えられている場合、アドレス線3がハイレベル（電源レベル：例えば5V）、即ちコントロールゲート4がハイレベルであっても、PROMトランジスタセル2はオフ状態であり、従ってデータ線5がハイインピーダンス状態となる。これは、PROMトランジスタセル2のスレッシュホールド電圧が、電源レベル以上（例えば、8V程度）になっていることを示している。

次に、フローティングゲート1に電荷が蓄えられない場合には、アドレス線3がハイレベル、即ちコントロールゲート4がハイレベルであれば、PROMトランジスタセル2はオン状態となり、従ってデータ線5はロウレベル（GNDレベル：0V）となる。この場合、PROMトランジスタセル2のスレッシュホールド電圧は、電源レベル以下（例えば3V程度）になっていることを示している。

#### 〔発明が解決しようとする課題〕

前述した従来のPROMは、フローティングゲート1に電荷が蓄えられているか否かにより、情

- 3 -

ティングゲートを有し、制御ゲートがアドレス線に接続され、ソース又はドレインが一電位に、ドレイン又はソースがデータ線に接続されたトランジスタメモリセルを備えたプログラマブル・リードオンリ・メモリにおいて、前記アドレス線の活性レベルとして互いに電圧の異なる第1、第2の電圧を供給しうる電圧供給手段と、前記アドレス線の活性レベルが前記第1の電圧の供給時に前記トランジスタメモリセルから読み出したデータをラッチするラッチ回路と、前記アドレス線の活性レベルが前記第2の電圧の供給時に前記トランジスタメモリセルからの読み出しデータと前記ラッチ回路の出力を比較する比較回路と、前記比較回路により不一致が検出された時にセットされるフリップフロップとを備え、前記フリップフロップの出力により、前記フローティングゲートの電荷蓄積量が減少したことを探知せしめるようにしたことを特徴とする。

#### 〔実施例〕

次に本発明について図面を参照して説明する。

(2)

報を記憶しているため、フローティングゲート1の電荷が徐々に漏れている場合には、PROMを使用中に、記憶情報が破損され、PROMを搭載したシステムが誤動作してしまうという欠点がある。特に、このような従来のPROMを自動車などの人命にかかる装置に使用する場合には、この欠点が重大な問題となる。

尚、フローティングゲート1の電荷が漏れる原因としては、PROMの製造上の問題により、フローティングゲート1とコントロールゲート4、又はフローティングゲート1とソース・ドレイン側との間に電流リークバスができる構造欠陥などが挙げられる。

本発明の目的は、前記欠点を解決し、フローティングゲートの電荷が減少したことを事前に検出して誤動作を未然に防止できるようにしたプログラマブル・リードオンリ・メモリを提供することにある。

#### 〔課題を解決するための手段〕

本発明の構成は、電荷を蓄積するためのフロー

- 4 -

第1図は本発明の第1の実施例のプログラマブル・リードオンリ・メモリの要部を示す回路ブロック図、第2図は第1図の回路ブロックの各信号のタイミング図である。尚、第4図と同様な部分は、同一番号が付けてある。これら図において、本実施例では、高電圧発生回路6は、電源ピン30の電源レベル（例えば5V）を昇圧してこの電源レベル以上の高電圧（例えば6V）を発生する回路で、セレクタ7は入力端子8からの電圧切換信号により、アドレスデコーダ9に、電源レベルと高電圧とのうちどちらかを供給する。アドレスデコーダ9は、アドレス情報10をデコードして、所定のアドレス線3を、セレクタ7からの供給電圧レベルに従い、活性レベルにする。アドレス線3は、PROMトランジスタセル2のコントロールゲート4に接続され、PROMトランジスタセル2のソースはロウレベル（GND）に接続され、ドレインはデータ線5に接続されている。次に、データ線5は、読み出し回路11に接続され、この読み出し回路11は、データ線3がロウ

- 5 -

レベル (PROMトランジスタセル2がオン)か、またはデータ線5がハイインピーダンス (PROMトランジスタセル2がオフ)かを検出して、出力端子12へ読み出しデータとして出力する。この読み出しデータは、入力端子13からのラッチ信号により、Dラッチ14にラッチされると共に、このDラッチ14を介して不一致検出回路15の入力となっている。不一致検出回路15のもう一方の入力は、Dラッチ14の出力信号であり、不一致検出回路15は、不一致情報をアンド回路16に出力する。このアンド回路16は、入力端子17からのセットタイミング信号に同期して、不一致検出回路15の出力がハイレベル (不一致を検出) の時に、R-Sフリップフロップ18をセットする。このR-Sフリップフロップ18は、このセットにより出力端子19に異常検出信号を発生する。尚、R-Sフリップフロップ18は、フローティングゲート1に電荷が蓄えられた時点 (スレッシュホールド電圧が充分高い)で、入力端子20からのクリア信号により、クリアされる。

- 7 -

るので、アドレス線3には活性レベルとして6Vが供給される。今、PROMトランジスタセル2のスレッシュホールド電圧は5.5Vであるから、アドレス線3が6Vの場合には、PROMトランジスタセル2はオン状態となり、データ線5はロウレベルとなる。

従って、読み出し回路11は読み出しデータを、例えばロウレベルとして検出し、出力する。この時、不一致検出回路15は、Dラッチ14の内容と、読み出しデータとの内容が不一致であることを検出し、ハイレベルを検出するので、入力端子17からのセットタイミング信号に同期して、R-Sフリップフロップ18がセットされ、出力端子19への異常検出信号がハイレベルとなる。

次に、フローティングゲート1に電荷が蓄えられない場合には、アドレス線3が5V又は6Vでも、スレッシュホールド電圧は低い (3V程度)ので、データ線5はロウレベルとなり、R-Sフリップフロップ18はセットされることはない。

- 9 -

(3) まず、PROMトランジスタセル2のフローティングゲート1に電荷が蓄えられているが、電荷蓄積量が少なく、スレッシュホールド電圧が、5.5V程度に下がっていると仮定する。今、アドレス情報10は、n番地を示し、アドレスデコーダ9によりアドレス線3が活性レベルになっているものとする。まず入力端子8からの電圧切換信号がロウレベルの時には、セレクタ7により、電源レベル (5V) が選択され、アドレスデコーダ9に供給されているので、アドレス線3は、活性レベルとして5Vが供給される。

今、スレッシュホールド電圧は5.5V程度であるから、PROMトランジスタセル2は、オフ状態即ちデータ線5がハイインピーダンス状態となり、読み出し回路11は、出力端子12への読み出しデータを例えばハイレベルとして検出し出力する。この時、入力端子13のラッチ信号により、このハイレベルをDラッチ14にラッチする。

次に、電圧切換信号8がハイレベルの場合には、アドレスデコーダ9に高電圧 (6V) が供給され

- 8 -

次に、フローティングゲート1に充分電荷が蓄えられている場合には、スレッシュホールド電圧は高い (8V程度) ので、アドレス線3が5Vでも6Vでも、データ線はハイインピーダンス状態であり、やはりR-Sフリップフロップ18はセットされることはない。従って、これらの場合には、出力端子19への異常検出信号19はロウレベルのままであり、データが正常に記憶されていることを示すことになる。

以上のように、アドレス線3が活性レベルの時、5Vと6Vとを供給し、それぞれについて読み出し動作を行い、PROMトランジスタセル2のスレッシュホールド電圧が、5V乃至6Vに低下したことを検出することができる。

尚本実施例において、入力端子8からの電圧切換信号がロウレベルの時には、アドレス線3には、活性レベルとして電源レベルが印加されるので、異常検出のための読み出しではなく、通常の記憶データ読み出し動作と同様であり、読み出しデータとして使用することができる。また、このよう

- 10 -

(4)

な異常検出のための動作は、ある一定期間毎に、1アドレスずつ、順繰りに実施することも可能で、通常の読み出し動作にはほとんど影響なく実施することができる。

第3図は本発明の第2の実施例のプログラマブル・リードオンリ・メモリを示す回路ブロック図である。同図において、第1図と同様な部分には、同一番号が付けてある。本実施例が第1図と異なる点は、アドレス線3がアドレスデコーダ9の出力により決定される以外に、書き込み時のアドレスデコーダ21の出力にも接続されており、この書き込み時のアドレスデコーダ21は、入力端子22からの書き込みモード信号または入力端子8からの電圧切換信号が、ハイレベルの時動作する。また、書き込み時の高電圧発生回路23は、端子22の書き込みモード信号または端子24の異常検出モード信号がハイレベルの時に動作し、書き込み時(書き込みモード信号22がハイレベル)は、書き込みに必要な高電圧(例えば、21V)を書き込み時のアドレスデコーダ21に供給し、異常検出を行う時(異常検

-11-

出モード信号24がハイレベル)には、異常検出に必要な高電圧(例えば6V)を書き込み時のアドレスデコーダ21に供給する。

尚本実施例では、本来書き込みのために備えてある書き込み時の高電圧発生回路23、及び書き込み時のアドレスデコーダ21(第1図では図示せず)を利用して、アドレス線3に電源レベル(5V)より高い電圧(6V)を供給するようしているため、第1図に示すような高電圧発生回路6を新たに必要としないという利点がある。

## 〔発明の効果〕

以上説明したように、本発明は、フローティングゲートに電荷を蓄えるか否かによりデータを記憶するPROMにおいてコントロールゲートに電源レベルとそれより高い電圧レベルとを印加して、それぞれ読み出したデータを比較することにより、フローティングゲートに蓄えられている電荷が減少したことを事前に検知し、PROMを使用したシステムの誤動作を未然に防止することができるという効果がある。

-12-

……書き込み時へ高電圧発生回路、24……異常検出モード信号端子、30……電源ピン。

代理人弁理士 内原晋

## 4 図面の簡単な説明

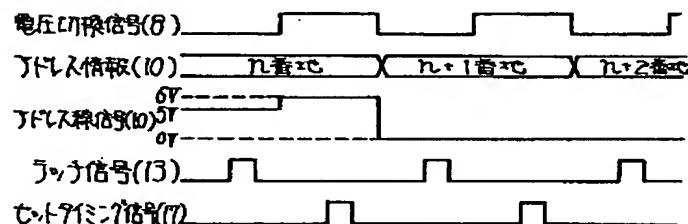
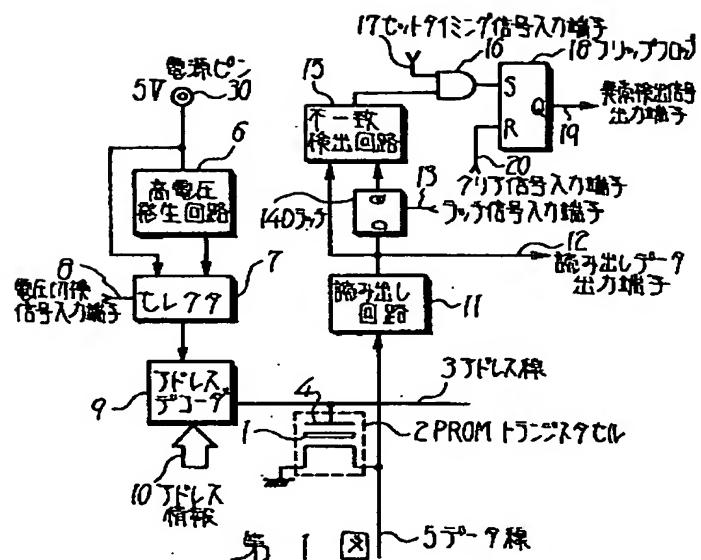
第1図は本発明の第1の実施例のプログラマブル・リードオンリ・メモリを示す回路ブロック図、第2図は第1図の各部の信号を示すタイミング図、第3図は本発明の第2の実施例の回路ブロック図、第4図はPROMトランジスタセルを示す回路図である。

1……フローティングゲート、2……PROMトランジスタセル、3……アドレス線、4……コントロールゲート、5……データ線、6……高電圧発生回路、7……セレクタ、8……電圧切換信号入力端子、9……アドレスデコーダ、10……アドレス情報、11……読み出し回路、12……読み出しデータ出力端子、13……ラッチ信号入力端子、14……Dラッチ、15……不一致検出回路、16……アンド回路、17……セットタイミング信号入力端子、18……R-Sフリップフロップ、19……異常検出信号出力端子、20……クリア信号入力端子、21……書き込み時のアドレスデコーダ、22……書き込みモード信号端子、23

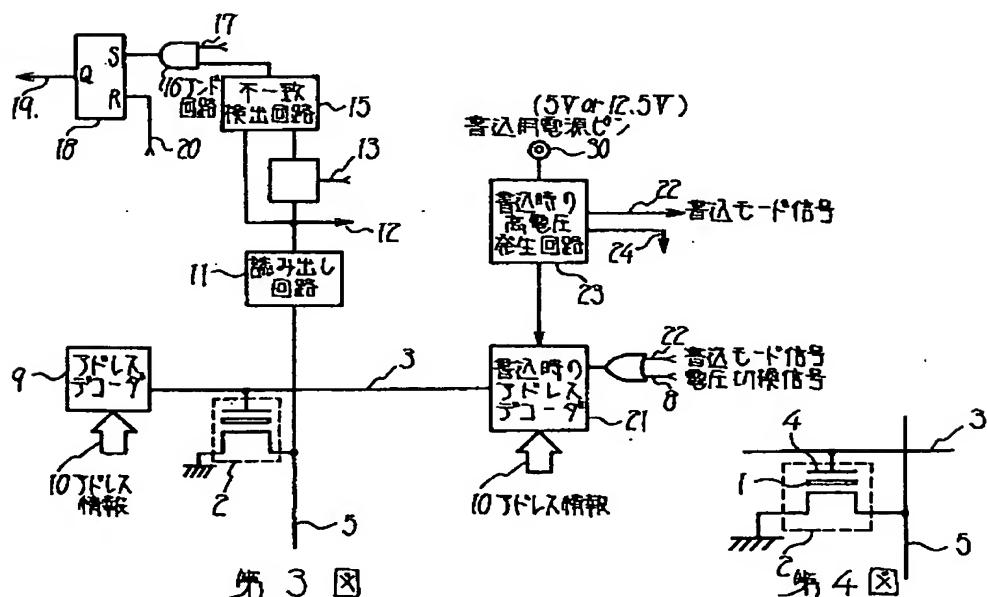
-13-

-14-

(5)



第2図



第3図

第4図